

Family list

2 family members for:

JP2001195042

Derived from 2 applications.

**1 SOURCE DRIVER FOR LIQUID CRYSTAL PANEL AND LEVELING
METHOD FOR SOURCE DRIVER OUTPUT VARIANCE**


Publication Info: JP2001195042 A - 2001-07-19

**2 Source driver for liquid crystal panel and method for leveling out
output variations thereof**

Publication Info: US6559836 B1 - 2003-05-06

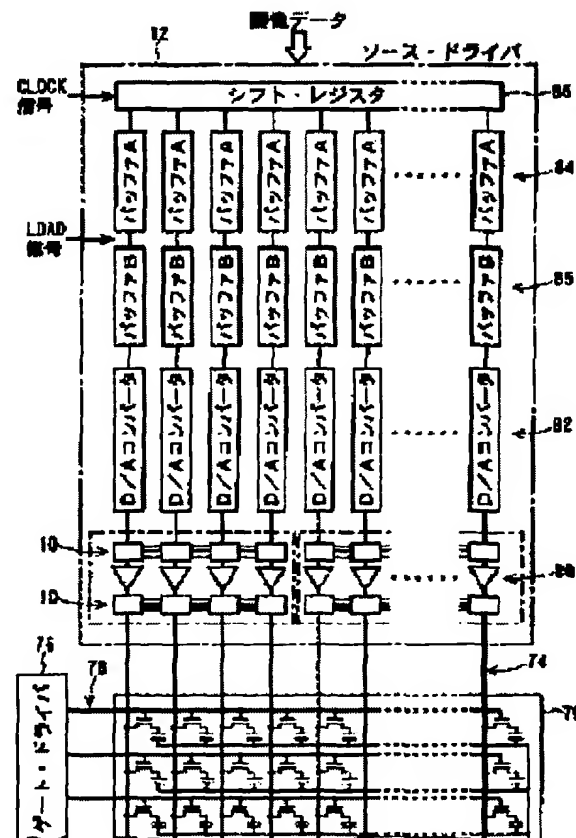
Data supplied from the **esp@cenet** database - Worldwide

Patent number: JP2001195042
Publication date: 2001-07-19
Inventor: MORI SHINICHIRO
Applicant: IBM
Classification:
- International: *G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G09G3/36; G02F1/133; G09G3/20*
- european: G09G3/36C14A
Application number: JP200000005290 20000105
Priority number(s): JP200000005290 20000105

 US6559836 (B)

Report a data error here

PROBLEM TO BE SOLVED: To reduce noise of longitudinal stripes on a display screen by leveling variance in output voltage level due to a difference of characteristics among output amplifiers of source drivers. **SOLUTION:** This source driver 12 for a liquid crystal panel is equipped with an output amplifier switching means 10 which switches an output amplifier 8, amplifying a digital image signal converted into an analog signal by a digital-to-analog converter 82 and supplying it to source lines 74 of the liquid crystal panel 70, to another output amplifier at intervals of a specific time.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-195042

(P 2 0 0 1 - 1 9 5 0 4 2 A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	505	G02F 1/133	505 5C006
G09G 3/20	611	G09G 3/20	611 H 5C080
	623		623 R

審査請求 未請求 請求項の数11 O L (全8頁)

(21) 出願番号 特願2000-5290 (P 2000-5290)

(22) 出願日 平成12年1月5日 (2000.1.5)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

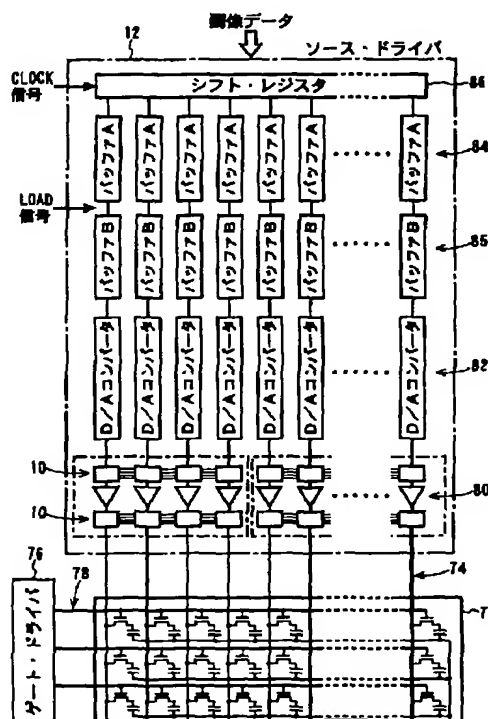
最終頁に続く

(54) 【発明の名称】 液晶パネル用ソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法

(57) 【要約】

【課題】 ソース・ドライバの各出力アンプの特性の違いによって生じる出力電圧レベルのバラツキを平準化し、表示画面上の縦スジのノイズを減少させる。

【解決手段】 デジタル／アナログ変換器82でアナログ信号に変換されたデジタル画像信号を増幅して液晶パネル70のソース・ライン74へ供給する出力アンプ80を、所定時間毎に他の出力アンプと切り替える出力アンプ切替手段10を備えて液晶パネル用ソース・ドライバ12を構成した。



【特許請求の範囲】

【請求項 1】 デジタル画像信号をアナログ信号に変換するデジタル／アナログ変換器と、変換されたアナログ信号を増幅して液晶パネルのソース・ラインへ供給する出力アンプとを含んだソース・ドライバであって、ソース・ラインに供給されるアナログ信号を増幅する出力アンプを所定時間毎に他の出力アンプと切り替える出力アンプ切替手段を含む液晶パネル用ソース・ドライバ。

【請求項 2】 前記出力アンプ切替手段が、出力アンプの切り替えを所定時間毎に指示する切替指示手段と、切替指示手段の切り替え指示に従って、デジタル／アナログ変換器とソース・ラインの間に接続される出力アンプを、他のデジタル／アナログ変換器とソース・ラインの間に接続されている出力アンプと切り替える切替スイッチとを含む請求項 1 の液晶パネル用ソース・ドライバ。

【請求項 3】 前記切替スイッチが、 n 個 (n は 2 以上の整数) ずつグループ分けされた出力アンプ、ソース・ライン及びデジタル／アナログ変換器に対し、デジタル／アナログ変換器とソース・ラインの間に接続される出力アンプを前記 n 個の出力アンプの中から選択する、デジタル／アナログ変換器と n 個の出力アンプの間および n 個の出力アンプとソース・ラインの間にそれぞれ備えられた n 個の接続スイッチを含む請求項 2 の液晶パネル用ソース・ドライバ。

【請求項 4】 前記切替指示手段が、所定時間毎に予め定められたコード信号を順に出力する手段と、このコード信号に基づいて、前記 n 個の各接続スイッチの接続／遮断を指示する手段とを含む請求項 3 の液晶パネル用ソース・ドライバ。

【請求項 5】 前記定められたコード信号を順に出力する手段が、液晶パネル表示画面の走査回数を計数する計数器を含み、前記 n 個の各接続スイッチの接続／遮断を指示する手段が、前記計数器の計数値に基づいて、前記 n 個の接続スイッチの接続／遮断を指示する信号を生成する復号器を含む請求項 4 の液晶パネル用ソース・ドライバ。

【請求項 6】 前記接続スイッチがモス電界効果トランジスタを含む請求項 3 乃至請求項 5 のいずれかの液晶パネル用ソース・ドライバ。

【請求項 7】 デジタル画像信号をデジタル／アナログ変換器でアナログ信号に変換するデジタル／アナログ変換ステップと、変換されたアナログ信号を出力アンプで増幅して液晶パネルのソース・ラインへ供給する増幅ステップとを含んだソース・ドライバ出力において、ソース・ラインに供給されるアナログ信号を増幅する出力アンプを所定時間毎に他の出力アンプと切り替えて、

各出力アンプの出力バラツキを平準化させる出力アンプ切替ステップを含む液晶パネル用ソース・ドライバ出力バラツキの平準化方法。

【請求項 8】 前記出力アンプ切替ステップが、出力アンプの切り替えを所定時間毎に指示する切替指示ステップと、切替指示ステップの切り替え指示に従って、デジタル／アナログ変換器とソース・ラインの間に接続される出力アンプを、他のデジタル／アナログ変換器とソース・ラインの間に接続されている出力アンプと切り替える接続切替ステップとを含む請求項 7 の液晶パネル用ソース・ドライバ出力バラツキの平準化方法。

【請求項 9】 前記接続切替ステップが、 n 個 (n は 2 以上の整数) ずつグループ分けされた出力アンプ、ソース・ライン及びデジタル／アナログ変換器に対し、デジタル／アナログ変換器と n 個の出力アンプの間および n 個の出力アンプとソース・ラインの間にそれぞれ備えられた n 個の接続スイッチで、デジタル／アナログ変換器とソース・ラインの間に接続される出力アンプを前記 n 個の出力アンプの中から選択するステップを含む請求項 8 の液晶パネル用ソース・ドライバ出力バラツキの平準化方法。

【請求項 10】 前記切替指示ステップが、所定時間毎に予め定められたコード信号を順に出力するステップと、このコード信号に基づいて、前記 n 個の各接続スイッチの接続／遮断を指示するステップとを含む請求項 9 の液晶パネル用ソース・ドライバ出力バラツキの平準化方法。

【請求項 11】 前記定められたコード信号を順に出力するステップが、液晶パネル表示画面の走査回数を計数する計数ステップを含み、前記 n 個の各接続スイッチの接続／遮断を指示するステップが、前記計数ステップで計数された計数値に基づいて、前記 n 個の接続スイッチの接続／遮断を指示する信号を生成するステップを含む請求項 10 の液晶パネル用ソース・ドライバ出力バラツキの平準化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶パネルのソース・ラインへ信号を供給するソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法に関する。

【0002】

【従来の技術】 図 10 にソース・ドライバ 72 の構成及び液晶パネル 70 との接続例を簡単に示す。液晶パネル 70 には、液晶セルが格子状に配置されている。液晶セルは、液晶及び表示する色に応じた電圧を液晶に加えるトランジスタを含む。図中横一列に並んだ各液晶セルのトランジスタのゲート端子は図中横方向に相当する 1 本のゲート・ライン 78 にそれぞれ接続され、図中縦一

列に並んだ各液晶セルのトランジスタのソース端子は図中縦方向に相当する 1 本のソース・ライン 7 4 にそれぞれ接続されている。ゲート・ライン 7 8 には、各ゲート・ライン 7 8 に順に信号を供給するゲート・ドライバ 7 6 が接続される。ソース・ライン 7 4 には、各ソース・ラインに信号を供給するソース・ドライバ 7 2 が接続される。ゲート・ドライバ 7 6 からゲート・ライン 7 8 に信号が供給されると、信号が供給されたゲート・ラインに接続された横一列分のトランジスタ（液晶セル）が選択される。この状態でソース・ドライバ 7 2 から各ソース・ライン 7 4 に信号が供給されると、このゲート・ドライバ 7 6 で選択された横一列分の各トランジスタ（液晶セル）が、この供給された信号に応じた電圧でそれぞれ駆動される。

【0003】ソース・ドライバ 7 2 の構成例を簡単に説明すると、ソース・ドライバ 7 2 は、シフト・レジスタ 8 6 とバッファ A 8 4 とバッファ B 8 5 と D/A コンバータ（デジタル／アナログ変換器）8 2 と出力アンプ 8 0 とを含む。バッファ A 8 4 とバッファ B 8 5 と D/A コンバータ 8 2 と出力アンプ 8 0 は、各ソース・ライン 7 4 に備えられている。バッファ A 8 4 には、液晶パネル 7 0 に表示する画像の横一列分の各画素の階調データがそれぞれ格納される。各バッファ A 8 4 への階調データの格納はシフト・レジスタ 8 6 を使い、CLOCK 信号に従って順に行う。バッファ A 8 4 に格納された階調データは、LOAD 信号によってバッファ B 8 5 に送られる。D/A コンバータ 8 2 は、バッファ B 8 5 の階調データ（デジタル信号）をアナログ信号に変換する。出力アンプ 8 0 は、D/A コンバータ 8 2 のアナログ出力を増幅してソース・ライン 7 4 に出力する。

【0004】図 10 に示した液晶パネル用ソース・ドライバ 7 2 の隣り合う 4 つの出力アンプ部分の一例を図 11 に示す。4 つの出力アンプ Amp A, Amp B, Amp C, Amp D には、配線 DAL A, DAL B, DAL C, DAL D を介して D/A コンバータ 8 2 のアナログ出力がそれぞれ入力される。4 つの出力アンプ Amp A, Amp B, Amp C, Amp D は、D/A コンバータ 8 2 の出力を増幅して、ソース・ライン SL A, SL B, SL C, SL D にそれぞれ出力する。

【0005】ここで、バッファ B 8 5 から D/A コンバータ 8 2 に送られる階調データが全て同一レベルであった場合、D/A 変換後のアナログ電圧も全て同一レベルになるので、全てのソース・ライン 7 4 に同一レベルの電圧が供給されると考えられる。しかし、各出力アンプ 8 0 のオフセット電圧特性やゲイン特性等の違いにより、各出力アンプ 8 0 からソース・ライン 7 4 に供給される電圧レベルにバラツキが生じる。そのため、全ての画素の階調データが同一レベルであっても、ソース・ライン 7 4 ごとに異なる電圧が供給される。このようにソース・ラインごとに異なる電圧が供給されると、液晶パ

ネル 7 0 における表示を通じてこの電圧差によって生じた階調差が人間の目には縦スジのノイズに見える場合がある。

【0006】このような縦スジのノイズをなくす方法として、各出力アンプの特性のバラツキが少ないソース・ドライバを選別する方法が考えられる。出力アンプの特性のバラツキが少なければ、全ての階調データが同一レベルであった場合、全てのソース・ライン 7 4 に略均一な電圧を供給することができる。しかし、各出力アンプの特性のバラツキが少ないソース・ドライバを選別するために、歩留まりが低下すると共にコストも増加してしまう。

【0007】

【発明が解決しようとする課題】本発明の目的は、ソース・ドライバの各出力アンプの特性の違いによる出力電圧レベルのバラツキを平準化し、表示画面に現れる縦スジのノイズを減少させることにある。

【0008】

【課題を解決するための手段】本発明の液晶パネル用ソース・ドライバは、液晶パネルのソース・ラインに供給されるアナログ信号を増幅する出力アンプを所定時間毎に他の出力アンプと切り替える出力アンプ切替手段を含む。このようなソース・ドライバは、ソース・ラインに供給される信号を増幅する出力アンプを所定時間毎に切り替えることで、各出力アンプの個体差により生じる出力バラツキを平準化することができる。

【0009】本発明の液晶パネル用ソース・ドライバ出力バラツキの平準化方法は、液晶パネルのソース・ラインに供給されるアナログ信号を増幅する出力アンプを所定時間毎に他の出力アンプと切り替える出力アンプ切替ステップを含む。

【0010】

【発明の実施の形態】次に、本発明に係る液晶パネル用ソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法の実施の形態について、図面に基づいて詳しく説明する。本実施形態では、隣り合う 4 つの出力アンプを一組とし、この 4 つの出力アンプをそれぞれ切り替える。

【0011】図 1 に本発明に係る液晶パネル用ソース・ドライバ 1 2 を示す。ソース・ドライバ 1 2 は出力アンプ切替手段 1 0 を含む。出力アンプ切替手段 1 0 は、複数の接続スイッチからなるスイッチ群を含む。スイッチ群は、各出力アンプ 8 0 の入力部及び出力部に備えられている。図 11 に示した 4 つの出力アンプ Amp A, Amp B, Amp C, Amp D 部分を例にして詳しく説明すると、図 2 に示すように、配線 DAL A とアンプ Amp A 間にスイッチ群 SWGAin が備えられ、アンプ Amp A とソース・ライン SL A 間にスイッチ群 SWGAout が備えられている。同様に、配線 DAL B とアンプ Amp B 間、配線 DAL C とアンプ Amp C 間、配線 DAL

LDとアンプAmpD間に、スイッチ群SWGBin, SWGCin, SWGDinがそれぞれ備えられ、アンプAmpBとソース・ラインSLB間、アンプAmpCとソース・ラインSLC間、アンプAmpDとソース・ラインSLD間に、スイッチ群SWGBout, SWGCout, SWGDoutがそれぞれ備えられている。スイッチ群SWGAin, SWGAout, SWGBin, SWGBout, SWGCin, SWGCout, SWGDin, SWGDoutは、4つの接続スイッチSW1, SW2, SW3, SW4をそれぞれ含む。

【0012】スイッチ群SWGAinの接続スイッチSW1は配線DALAとアンプAmpA間を、SW2はDALAとAmpB間を、SW3はDALAとAmpC間を、SW4はDALAとAmpD間をそれぞれ接続又は遮断する。SWGAoutのSW1はAmpAとSLA間を、SW2はAmpBとSLA間を、SW3はAmpCとSLA間を、SW4はAmpDとSLA間をそれぞれ接続又は遮断する。

【0013】スイッチ群SWGBinの接続スイッチSW1は配線DALBとアンプAmpB間を、SW2はDALBとAmpC間を、SW3はDALBとAmpD間を、SW4はDALBとAmpA間をそれぞれ接続又は遮断する。SWGBoutのSW1はAmpBとSLB間を、SW2はAmpCとSLB間を、SW3はAmpDとSLB間を、SW4はAmpAとSLB間をそれぞれ接続又は遮断する。

【0014】スイッチ群SWGCinの接続スイッチSW1は配線DALCとアンプAmpC間を、SW2はDALCとAmpD間を、SW3はDALCとAmpA間を、SW4はDALCとAmpB間をそれぞれ接続又は遮断する。SWGCoutのSW1はAmpCとSLC間を、SW2はAmpDとSLC間を、SW3はAmpAとSLC間を、SW4はAmpBとSLC間をそれぞれ接続又は遮断する。

【0015】スイッチ群SWGDinの接続スイッチSW1は配線DALDとアンプAmpD間を、SW2はDALDとAmpA間を、SW3はDALDとAmpB間を、SW4はDALDとAmpC間をそれぞれ接続又は遮断する。SWGDoutのSW1はAmpDとSLD間を、SW2はAmpAとSLD間を、SW3はAmpBとSLD間を、SW4はAmpCとSLD間をそれぞれ接続又は遮断する。

【0016】接続スイッチSW1, SW2, SW3, SW4には、例えばMOS-FET(モス電界効果トランジスタ)を用いることができる。スイッチ群SWGAin, SWGAout, SWGBin, SWGBout, SWGCin, SWGCout, SWGDin, SWGDoutの接続スイッチSW1, SW2, SW3, SW4の接続/遮断の制御は、制御線SW1CL, SW2CL, SW3CL, SW4CLによって行う。具体的には、制御線SW

1CLは、スイッチ群SWGAin, SWGAout, SWGBin, SWGBout, SWGCin, SWGCout, SWGDin, SWGDoutの各接続スイッチSW1に接続され、各SW1の接続/遮断の制御に用いる。同様に、制御線SW2CL, SW3CL, SW4CLは、スイッチ群SWGAin, SWGAout, SWGBin, SWGBout, SWGCin, SWGCout, SWGDin, SWGDoutの各SW2, 各SW3, 各SW4にそれぞれ接続され、各SW2, 各SW3, 各SW4の接続/遮断の制御にそれぞれ用いる。図3にAmpA部分を例として、上述した各接続スイッチSW1, SW2, SW3, SW4と各制御線SW1CL, SW2CL, SW3CL, SW4CLとの接続を示す。

【0017】制御線SW1CL, SW2CL, SW3CL, SW4CLから接続スイッチSW1, SW2, SW3, SW4にそれぞれ送られる信号は、図4(a)に示すスイッチ制御部で生成する。スイッチ制御部は、分周器20とカウンタ(計数器)22とデコーダ(復号器)14を含む。デコーダ14は4つのAND回路32, 34, 36, 38と2つのNOT回路24, 26を含み、AND回路32の出力がSW1CLに、AND回路34の出力がSW2CLに、AND回路36の出力がSW3CLに、AND回路38の出力がSW4CLにそれぞれ接続されている。分周器20にはLOAD信号が入力され、LOAD信号がn回入力される度に信号SWCを出力する(nは正の整数)。本実施形態では、分周器20は、液晶パネル70の一画面分の走査が完了する度に、信号SWCを出力する。信号SWCは2ビットのカウンタ22に入力される。

【0018】カウンタ22は信号SWCの入力回数をカウントする。ただし、カウント数が“1 1”の状態では信号SWCが入力されると“0 0”の状態に戻る。カウンタ22の下位ビット値は、AND回路34, 38に入力されると共に、NOT回路24で反転された後にAND回路32, 36に入力される。カウンタ22の上位ビット値は、AND回路36, 38に入力されると共に、NOT回路26で反転された後にAND回路32, 34に入力される。カウンタ22の上位及び下位ビット値に応じて制御線SW1CL, SW2CL, SW3CL, SW4CLに出力される信号を図4(b)に示す。カウンタ22の計数値(“0 0”, “0 1”, “1 0”, “1 1”)に応じて、制御線SW1CL, SW2CL, SW3CL, SW4CLのいずれか1つだけが活性化(“1”の状態)される。この活性化された制御線(SW1CL or SW2CL or SW3CL or SW4CL)に対応するスイッチ(SW1 or SW2 or SW3 or SW4)のみが接続状態になる。

【0019】次に、このような液晶パネル用ソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法を用いた画像表示について、その作用を説明する。

【0020】カウンタ22の初期値が“0 0”であった場合、最初の一画面分の走査時には、図4(b)に示すように制御線SW1CLのみが活性化される。SW1CLのみが活性化されているので、各スイッチ群SWG A_{in}, SWGA_{out}, SWGB_{in}, SWGB_{out}, SWGC_{in}, SWGC_{out}, SWGD_{in}, SWGD_{out}の接続スイッチSW1のみが接続状態になる。これにより、図5に示すように、配線DALAとソース・ラインSLA間には出力アンプAmpAが接続され、DALBとSLB間にはAmpBが、DALCとSLC間にはAmpCが、DALDとSLD間にはAmpDがそれぞれ接続される。この状態で各液晶セルを駆動していく。

【0021】一画面分の走査が終了すると、分周器20が信号SWCをカウンタ22に送るので、カウンタ22の値が“0 1”に増加する。カウンタ22の値が“0 1”になると、図4(b)に示すように制御線SW2CLのみが活性化される。SW2CLのみが活性化されているので、各スイッチ群SWG A_{in}, SWGA_{out}, SWGB_{in}, SWGB_{out}, SWGC_{in}, SWGC_{out}, SWGD_{in}, SWGD_{out}の接続スイッチSW2のみが接続状態になる。これにより、次の一画面の走査時には、図6に示すように、配線DALAとソース・ラインSLA間には出力アンプAmpBが接続され、DALBとSLB間にはAmpCが、DALCとSLC間にはAmpDが、DALDとSLD間にはAmpAがそれぞれ接続される。

【0022】以下同様に、一画面分の走査が終了する度に信号SWCがカウンタ22に入力され、カウンタ22の値の変化に応じて制御線SW1CL, SW2CL, SW3CL, SW4CLのいずれか一つが活性化される。そのため、各スイッチ群SWG A_{in}, SWGA_{out}, SWGB_{in}, SWGB_{out}, SWGC_{in}, SWGC_{out}, SWGD_{in}, SWGD_{out}に対して、接続スイッチSW1, SW2, SW3, SW4のいずれか一つだけが接続状態になる。これにより、配線DALAとソース・ラインSLA間, DALBとSLB間, DALCとSLC間, DALDとSLD間に接続される出力アンプが、図7に示すように、所定時間毎に、典型的には周期的に（ほぼ同じ所定時間毎に）切り替わる。

【0023】このように出力アンプを周期的に切り替えることにより、各出力アンプAmpA, AmpB, AmpC, AmpDのオフセットやゲイン特性等の違いによる出力電圧のバラツキを平準化することができる。例えば、各出力アンプAmpA, AmpB, AmpC, AmpDに同一レベルの入力を与えても、図8(a)に示すような出力電圧のバラツキが生じる場合でも、本発明では、配線DALA, DALB, DALC, DALDとソース・ラインSLA, SLB, SLC, SLDの間にそれぞれ接続される出力アンプ(AmpA, AmpB, AmpC, AmpD)を周期的に切り替えているので、図

8(b)に示すように、各ソース・ラインSLA, SLB, SLC, SLDの出力電圧は、各出力アンプAmpA, AmpB, AmpC, AmpDの出力電圧(図8(a))を平準化したものとなる。

【0024】ソース・ドライバ12の他の出力アンプ80も上述した4つの出力アンプAmpA, AmpB, AmpC, AmpD部分と同様にそれぞれ切り替えているので、同一の入力を与えた際にソース・ドライバ12の各出力アンプの出力電圧に図9(a)のようなバラツキが生じた場合でも、ソース・ライン74へ供給される出力電圧は図9(b)のようにそれぞれ平準化される。

【0025】本発明の液晶パネル用ソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法は、D/Aコンバータ82と出力アンプ80間および出力アンプ80とソース・ライン74間にそれぞれ接続スイッチを追加すると共に、LOAD信号に基づいて接続スイッチを制御するスイッチ制御部をソース・ドライバ72に追加している。従来から用いられているLOAD信号に基づいて接続スイッチの制御を行うので、ソース・ドライバ12外部からの入力に変更を加える必要は無い。

【0026】本発明の実施の形態のソース・ドライバ72では、回路全体の面積の略60%をD/Aコンバータ82が占め、略30%をバッファ84, 85が占め、略5%を出力アンプ80が占めている。出力アンプ80部分はソース・ドライバ全体の略5%の回路面積しか占有していないので、出力アンプ80に接続スイッチ10を追加することによる回路面積の増加は、ソース・ドライバ全体の回路面積にそれほど影響を与えない。

【0027】以上、本発明の一実施例について説明したが、本発明はその他の態様でも実施し得るものである。例えば、4つの出力アンプを一組にした場合を例にして説明したが、2つの出力アンプを一組にする等、任意数の出力アンプを一組として、その中で出力アンプを切り替えることができる。液晶パネルに限定はされず、液晶プロジェクト表示装置にも用いることができる。

【0028】以上、本発明は特定の実施例について説明されたが、本発明はこれらに限定されるものではない。その他、本発明はその趣旨を逸脱しない範囲で当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施できるものである。

【0029】

【発明の効果】本発明の液晶パネル用ソース・ドライバ及びソース・ドライバ出力バラツキの平準化方法は、ソース・ドライバの出力アンプの個体差による誤差を平準化した出力をソース・ラインへ供給し、表示画面上の縦スジのノイズを減少させることができる。

【図面の簡単な説明】

【図1】本発明の液晶パネル用ソース・ドライバの一例を示すブロック図である。

【図2】図1に示すソース・ドライバに含まれる隣接す

る4つの出力アンプ部分を示すブロック図である。

【図3】図2に示す4つの出力アンプの内の1つの出力アンプ部分（Amp A）を示すブロック図である

【図4】同図（a）は図2及び図3に示す制御線（SW1CL, SW2CL, SW3CL, SW4CL）への信号生成部分を示すブロック図であり、同図（b）は生成される信号を示す図である。

【図5】カウンタが“0 0”の場合の図2に示す出力アンプの接続状態を示す図である。

【図6】カウンタが“0 1”の場合の図2に示す出力アンプの接続状態を示す図である。

【図7】図2に示す各出力アンプの接続状態を示す図である。

【図8】同図（a）は図2に示す各出力アンプの出力電圧レベルを示す図であり、同図（b）は図2に示す各ソース・ラインに出力される電圧レベルを示す図である。

【図9】同図（a）は図1に示す各出力アンプの出力電圧レベルを示す図であり、同図（b）は図1に示す各ソース・ラインに出力される電圧レベルを示す図である。

【図10】従来の液晶パネル用ソース・ドライバの一例

を示すブロック図である。

【図11】図10に示すソース・ドライバに含まれる隣接する4つの出力アンプ部分を示すブロック図である。

【符号の説明】

10：出力アンプ切替手段

12：ソース・ドライバ

14：デコーダ（復号器）

20：分周器

22：カウンタ（計数器）

24, 26：NOT回路

32, 34, 36, 38：AND回路

70：液晶パネル

72：ソース・ドライバ（従来）

74：ソース・ライン

76：ゲート・ドライバ

78：ゲート・ライン

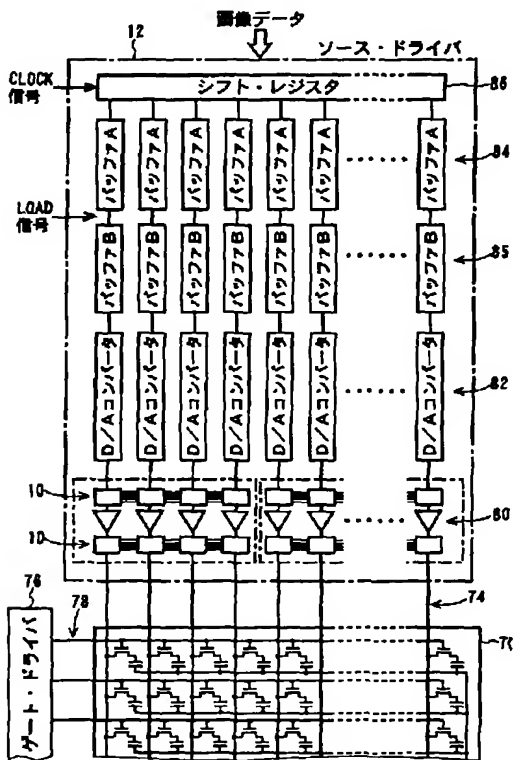
80：出力アンプ

82：D/Aコンバータ（デジタル／アナログ変換器）

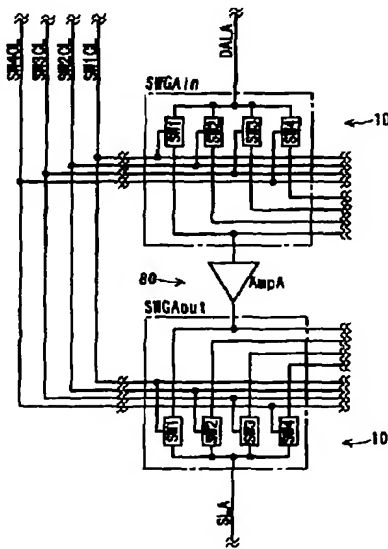
84, 85：バッファ

86：シフト・レジスタ

【図1】



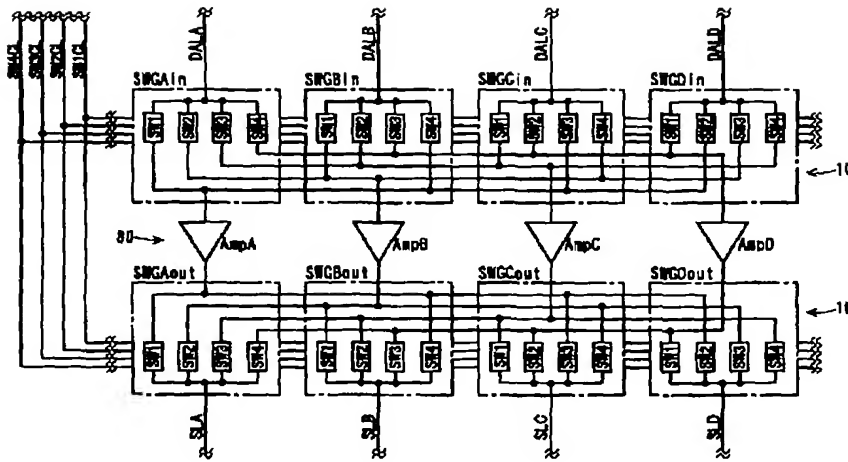
【図3】



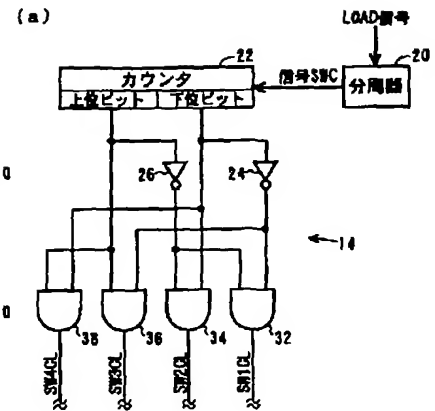
【図7】

	DALA~SLA間	DALB~SLB間	DALC~SLC間	DALD~SLD間
SW1のみが接続状態	AmpA	AmpB	AmpC	AmpD
SW2のみが接続状態	AmpB	AmpC	AmpD	AmpA
SW3のみが接続状態	AmpC	AmpD	AmpA	AmpB
SW4のみが接続状態	AmpD	AmpA	AmpB	AmpC

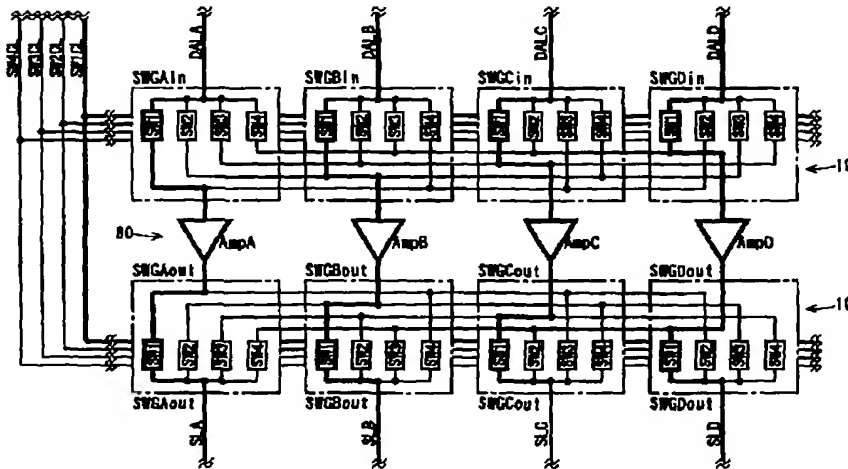
【図 2】



【図 4】



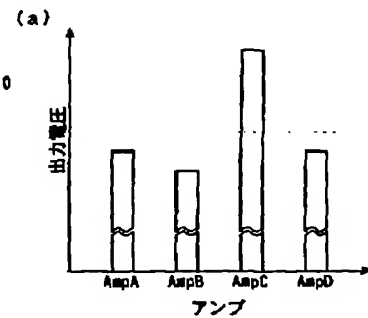
【図 5】



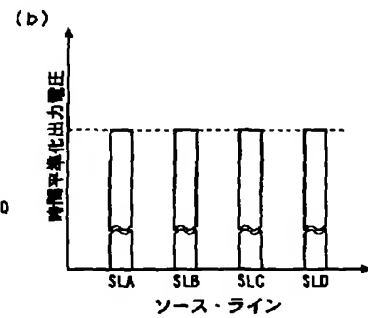
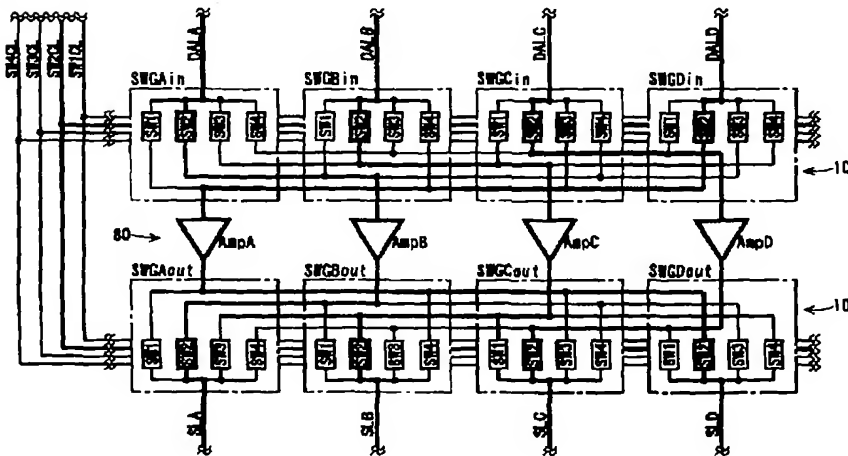
(b)

カウンタ (上位)	カウンタ (下位)	SW4CL	SW3CL	SW2CL	SW1CL
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

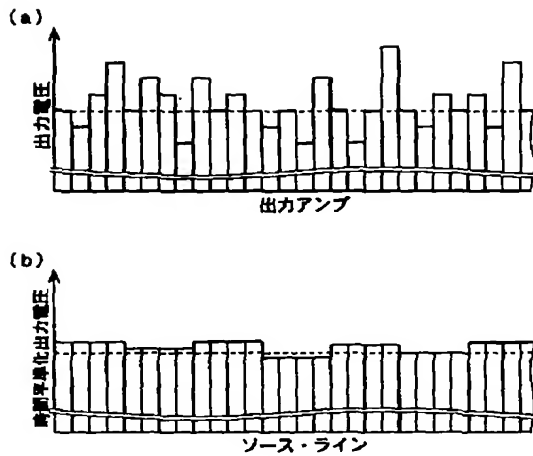
【図 8】



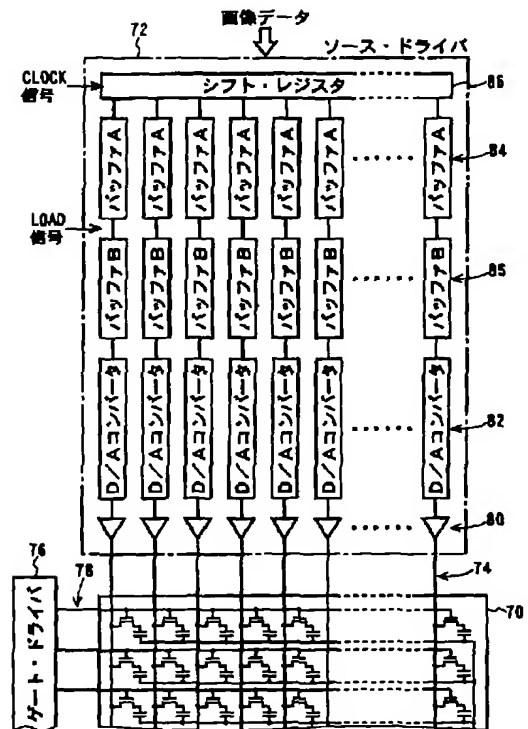
【図 6】



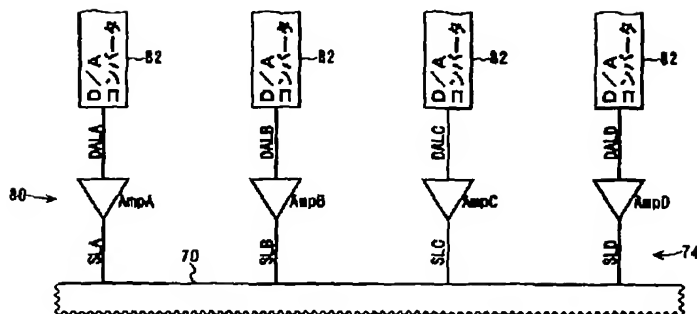
【図 9】



【図 10】



【図 11】



フロントページの続き

(72) 発明者 森 新一郎
 滋賀県野洲郡野洲町大字市三宅800番地
 日本アイ・ビー・エム株式会社 野洲事業
 所内

Fターム(参考) 2H093 NA16 NA43 NA53 NC13 NC24
 NC27 NC34 NC62 ND60 NE07
 5C006 AC02 AC21 AF43 AF46 AF82
 BB16 BC03 BC06 BC13 BC23
 BF03 BF22 BF23 BF25 BF26
 BF34 BF49 FA26 FA31
 5C080 AA10 BB05 DD05 DD30 FF09
 JJ02 JJ05 KK02 KK43